컴퓨터 공학 기초 설계 및 실험1

결과 보고서

실험제목 : Latch & Flip Flop

실험일자: 2018년 03월 29일 (목)

제출일자: 2018년 04월 05일 (목)

학 과: 컴퓨터정보공학부

담당교수: 이준환

실습분반: 목요일(0,1,2)

학 번: 2015722025

성 명: 정용훈

결과보고서

1. 제목 및 목적
   1. 제목

Latch & Flip Flop

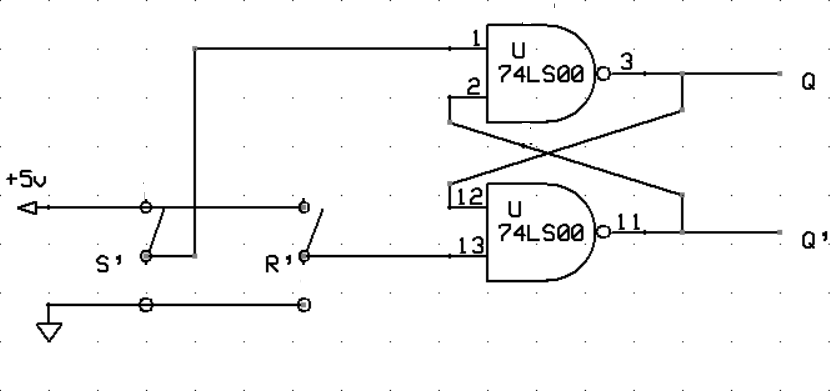
* 1. 목적

Latch와 Flip Flop은 1비트이 정보를 저장하고 유지 할 수 있는 메모리 소자입니다. Latch와 Flip Flop의 개념과 알고 실험을 통해 원리를 이해하며 소자가 동작하는 결과 값을 보며 각 소자들의 특징을 알 수 있고 차이점을 알 수 있습니다.

1. 실험 결과

**실험 9-1**

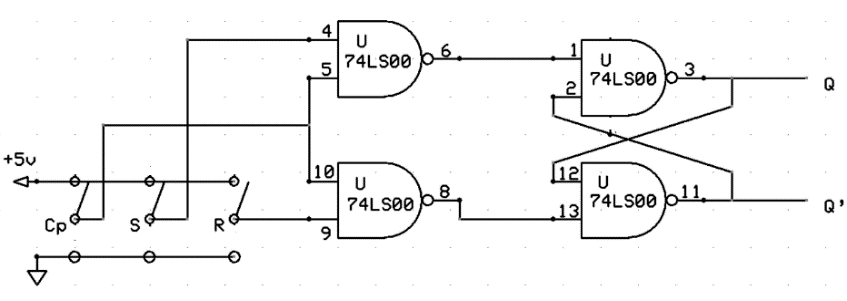
NAND게이트를 사용한 RS래치의 결과값을 알아보는 실험이다. 래치는 셋과 리셋을 하면 결과 값을 가지고 있다. NAND게이트의 입력 값 중 한 개라도 0이면 결과값이 1이 나오는 특징을 이용한 것이다. 실험할 때 입력 값의 순서에 따라 결과 값이 다르게 나왔다. 순서 1부터 각각 셋, 유지, 리셋, 유지, 리셋, Qn유지 이다. R’=0, S’=0인 경우 Q=Q’ 가 되어 값을 정 할 수 없기 때문이다.

****

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 순서 | 입력 | | 출력 | |
| R’ | S’ | Q | Q’ |
| 1 | +5 | 0 | 1 | 0 |
| 2 | +5 | +5 | 1 | 0 |
| 3 | 0 | +5 | 0 | 1 |
| 4 | +5 | +5 | 0 | 1 |
| 5 | 0 | +5 | 0 | 1 |
| 6 | 0 | 0 | 1 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 순서 | 입력 | | 출력 | |
| R’ | S’ | Q | Q’ |
| 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | +5 | 0 | 1 |
| 3 | +5 | 0 | 1 | 0 |
| 4 | +5 | +5 | 1 | 0 |

**실험 9-2**

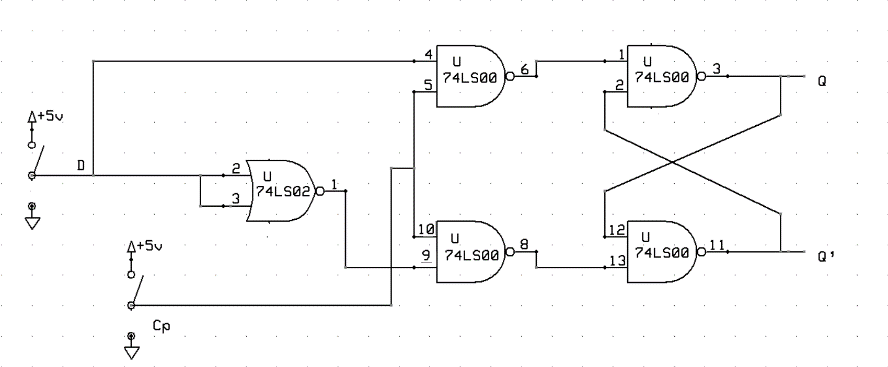
****

클럭이 있는 래치회로는 클럭값에 따라 값이 잠긴다. 즉 클럭이 1일때만 입력값 S, R에 의하여 값이 변한다. NAND게이트의 입력 값이 (1,1) 일 때 출력 값이 0인 경우를 제외하고는 모두 1이기 때문에 클럭이 0이 될 경우 Q와 Q’는 S,R 에 의하여 변하지 않는다.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 순서 | 입력 | | | 출력 | |
| Cp | S | R | Q | Q’ |
| 1 | +5 | +5 | 0 | 1 | 0 |
| 2 | +5 | +5 | +5 | 1 | 1 |
| 3 | +5 | 0 | +5 | 0 | 1 |
| 4 | +5 | +5 | +5 | 1 | 1 |
| 5 | +5 | 0 | +5 | 0 | 1 |
| 6 | +5 | 0 | 0 | 0 | 1 |
| 7 | +5 | 0 | +5 | 0 | 1 |
| 8 | 0 | 0 | +5 | 0 | 1 |
| 9 | 0 | +5 | +5 | 0 | 1 |
| 10 | 0 | +5 | 0 | 0 | 1 |
| 11 | 0 | +5 | +5 | 0 | 1 |
| 12 | 0 | 0 | +5 | 0 | 1 |
| 13 | 0 | 0 | 0 | 0 | 1 |

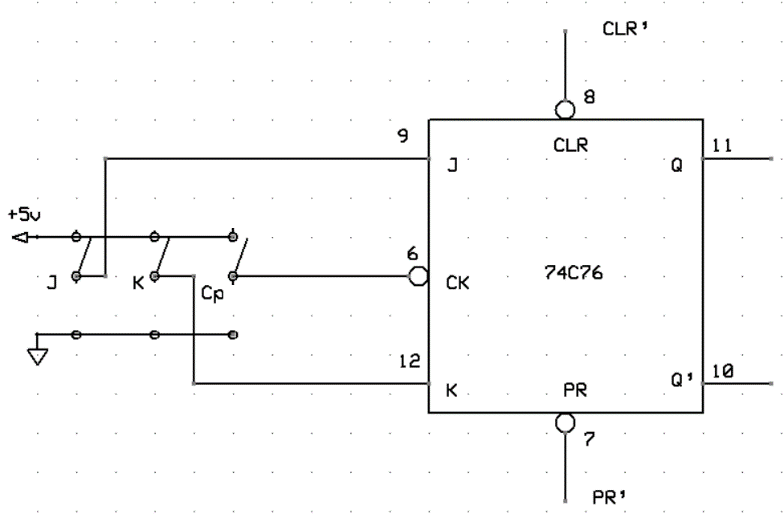
**실험 9-4**

D-Latch 는 RS래치에서 정의 되지 않은 상태를 만들지 않는다. D 래치의 데이터에 입력된 정보는 CLK가 1이 될 때 출력에 전달되고, 출력은 CLK가 1인 동안에는 D 입력의 변화에 따라서 변하게 된다. Cp=0 일 때는 변화가 없다. D에 입력된 값이 다시 1이 될 때 까지 출력 Q에서 유지되게 된다.

****

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 순서 | 입력 | | 출력 | |
| Cp | D | Q | Q’ |
| 1 | +5 | 0 | 0 | 1 |
| 2 | +5 | +5 | 1 | 0 |
| 3 | 0 | +5 | 1 | 0 |
| 4 | 0 | 0 | 1 | 0 |

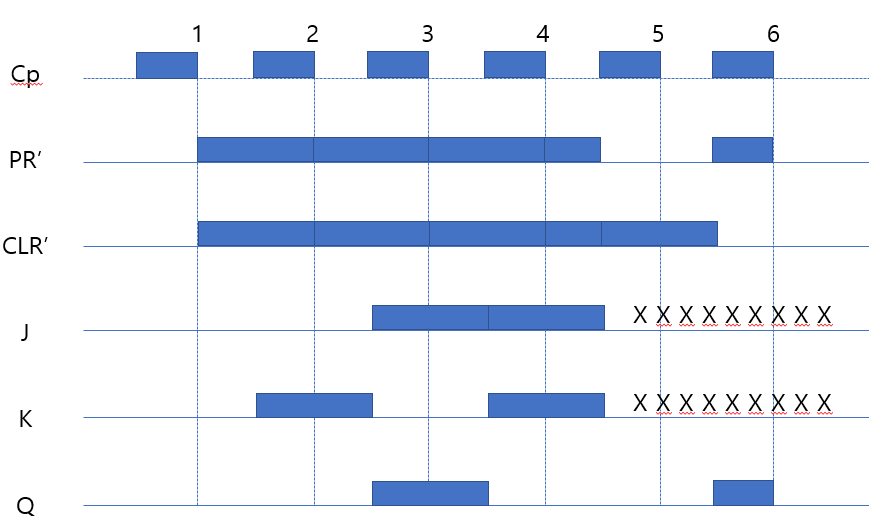
**실험 10-3**

****

플리플롭은 Cp의 값이 변하는 edge에서 값이 변한다. 이 회로의 경우에는 Cp의 인버터 때문에 Falling edge에서 변하게 된다. 몇몇 입력 값에서 Falling edge임에도 값이 변하지 않는 것은 값이 유지됨을 보여준다.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **순서** | **입력** | | | | | **출력** | |
| **PR’** | **CLR’** | **Cp** | **J** | **K** | **Q** | **Q’** |
| **1** | **0** | **+5** | **X** | **X** | **X** | **1** | **0** |
| **2** | **+5** | **0** | **X** | **X** | **X** | **0** | **1** |
| **3** | **0** | **0** | **X** | **X** | **X** | **0** | **1** |
| **4** | **+5** | **+5** | **0** | **+5** | **0** | **0** | **1** |
| **5** | **+5** | **+5** | **+5** | **+5** | **0** | **1** | **0** |
| **6** | **+5** | **+5** | **0** | **+5** | **0** | **1** | **0** |
| **7** | **+5** | **+5** | **0** | **+5** | **+5** | **1** | **0** |
| **8** | **+5** | **+5** | **+5** | **+5** | **+5** | **0** | **1** |
| **9** | **+5** | **+5** | **0** | **+5** | **+5** | **0** | **0** |
| **10** | **+5** | **+5** | **0** | **0** | **0** | **0** | **0** |
| **11** | **+5** | **+5** | **+5** | **0** | **0** | **0** | **0** |
| **12** | **+5** | **+5** | **0** | **0** | **0** | **0** | **0** |
| **13** | **+5** | **+5** | **0** | **0** | **+5** | **0** | **0** |
| **14** | **+5** | **+5** | **+5** | **0** | **+5** | **0** | **0** |
| **15** | **+5** | **+5** | **0** | **0** | **+5** | **0** | **1** |
| **16** | **+5** | **+5** | **0** | **0** | **+5** | **0** | **1** |
| **17** | **+5** | **+5** | **+5** | **0** | **0** | **0** | **1** |
| **18** | **+5** | **+5** | **0** | **0** | **0** | **0** | **1** |

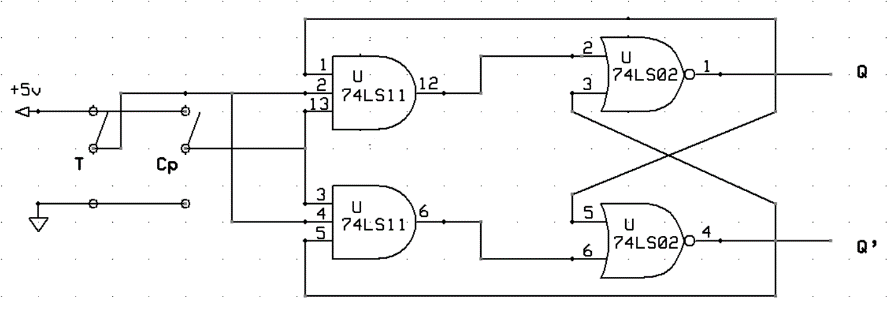
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| PR’ | CLR’ | C | J | K | Qn+1 |
| 1 | 1 | ↓ | 0 | 0 | 0 |
| 1 | 1 | ↓ | 0 | 1 | 0 |
| 1 | 1 | ↓ | 1 | 0 | 1 |
| 1 | 1 | ↓ | 1 | 1 | 0 |
| 0 | 1 | X | X | X | 0 |
| 1 | 0 | X | X | X | 1 |

****

**실험 10-4**

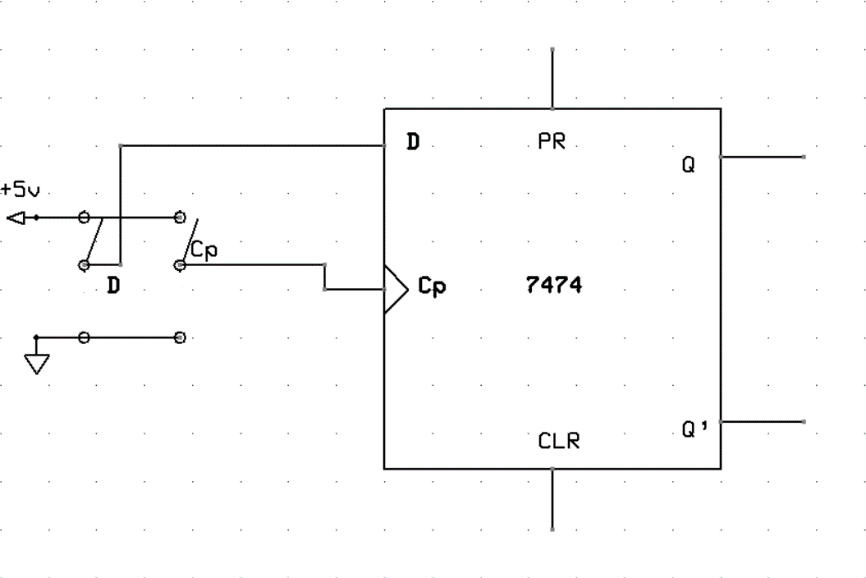
T플리플롭에서는 CLK 가 들어왔을 때에 입력 값 T에 의하여 변한다. Cp 신고가 들어오지 않으면 즉, 0이면 ANDㅔ이트에서 하나의 입력 값이 0이 되므로 다른 입력 값에 관계없이 출력 값은 항상 0이기 때문이다.

|  |  |  |  |
| --- | --- | --- | --- |
| 입력 | | 출력 | |
| Cp | T | Q | Q’ |
| 0 | X | 0 | 1 |
| +5 | 0 | delay문제 | |
| +5 | +5 | 1 | 0 |

****

**실험 10-5**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 순서 | 입력 | | | | 출력 | |
| PR’ | CLR’ | Cp | D | Q | Q’ |
| 1 | 0 | +5 | X | X | 1 | 0 |
| 2 | +5 | 0 | X | X | 0 | 1 |
| 3 | 0 | 0 | X | X | 1 | 1 |
| 4 | +5 | +5 | 0 | 0 | 1 | 0 |
| 5 | +5 | +5 | +5 | 0 | 0 | 1 |
| 6 | +5 | +5 | 0 | 0 | 0 | 1 |
| 7 | +5 | +5 | 0 | +5 | 0 | 1 |
| 8 | +5 | +5 | +5 | +5 | 1 | 0 |
| 9 | +5 | +5 | 0 | +5 | 1 | 0 |

D플리플롭에서는 입력신호 하나에 인버터를 사용하여 항상 서로 다른 입력신호가 유입되게 하여 금지조건이 없다. Cp 입력단자에 인버터가 없으므로 실험 10.3과 다르게 rising edge에서 값이 변하게 된다. ****

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| PR’ | CLR’ | C | D | Qn+1 |
| 1 | 1 | ↑ | 0 | 0 |
| 1 | 1 | ↑ | 1 | 1 |
| 0 | 1 | X | X | 1 |
| 1 | 0 | X | X | 0 |

1. 고찰

지금까지의 실험 중 이론에 있어서 가장 난해했던 실험이었다. 회로를 구성하고 결과 값을 도출하는데 있어서는 크게 어렵지 않았지만 왜 결과 값이 그렇게 나오지는 이해가 잘 되지 않았다. 실험 중간중간에 조교님의 설명을 들으면서 완벽하지 않지만 어느 정도 이해하며 실험을 진행하였다. 또한 회로를 구성하는데 있어 7476 게이트를 쓸 때 지금 까지 썼던 게이트들과 VDD와 GND의 위치가 달라 책을 보며 문제를 해결 하였고 플리플롭 에서는 실험 10-3을 하면서 인버터의 유무에 따라 rising edge와 falling edge가 정해지는 것을 알게 되었다. 또한 실험을 하다가 순서를 잘못 입력하여 원하는 값이 나오지 않았을 때는 장치의 전원을 끄면서 저장 되어있는 정보를 없앤 후 다시 전원을 켜 순서에 맞게 진행하면 원하는 값이 나오는 것을 확인 할 수 있었다. 솔직히 말하면 래치와 플리플롭에 대하여 완벽하게 이해하지 못하고 있다고 생각 되며 좀 더 확실히 공부 해야 할 필요가 있는 실험이라고 생각된다.